

BEST AVAILABLE COPY PCT/DE02/04521
BUNDESREPUBLIK DEUTSCHLAND

10/501430



REC'D 28 MAR 2003
V. IPO PCT

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 01 303.9

Anmeldetag: 15. Januar 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie zugehöriges Herstellungsverfahren

IPC: H 01 L 27/115

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. März 2003
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Waller

Beschreibung

Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie zugehöriges Herstellungsverfahren

5

Die vorliegende Erfindung bezieht sich auf eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie ein zugehöriges Verfahren zu deren Herstellung und insbesondere auf eine nichtflüchtige Halbleiterspeicherzelle mit einem Speichertransistor und einem damit verbundenen Auswahltransistor.

10

Figur 1 zeigt eine vereinfachte Schnittansicht einer derartigen herkömmlichen nichtflüchtigen Zweittransistor-Halbleiter-
speicherzelle, wobei in einem Halbleitersubstrat 1, welches
beispielsweise p-dotiert ist, ein Auswahltransistor AT sowie
15 ein Speichertransistor ST ausgebildet und über ein gemeinsames Source-/Draingegebiet 2 miteinander verbunden sind.

20

Der Speichertransistor ST besteht üblicherweise aus einer isolierenden Tunneloxidschicht 3, einer leitenden Floating-Gate-Schicht 4, einer isolierenden dielektrischen Schicht 5 und einer leitenden Steuer-Gate-Schicht 6. Zur Speicherung von Informationen werden Ladungen vom Halbleitersubstrat 1 in die Floating-Gate-Schicht 4 eingebracht. Verfahren zum Einbringen der Ladungen in die Floating-Gate-Schicht 4 sind beispielsweise Injektion heißer Ladungsträger und Fowler-Nordheim-Tunneln.

30

Zum Auswählen bzw. Ansteuern des eigentlichen Speichertransistors ST besitzt die Zweittransistor-Halbleiterspeicherzelle ferner einen Auswahltransistor AT, der als Feldeffekttransistor im Wesentlichen eine Gateoxidschicht 3' und eine darüber liegende Steuer-Gate-Schicht 4 aufweist. Die Floating-Gate-Schicht des Speichertransistors und die Steuer-Gate-Schicht des Auswahltransistors bestehen üblicherweise aus dem gleichen Material wie z.B. Polysilizium, welches beispielsweise n-dotiert ist.

Bei derartigen nichtflüchtigen Zweittransistor-Halbleiter-speicherzellen sind insbesondere die Ladungshalteeigenschaften für den Einsatz und die Zuverlässigkeit von großer Bedeutung. Diese Ladungshalteeigenschaften sind üblicherweise durch (anomalen) Ladungsverlust begrenzt, der sich auf Grund von Leckphänomenen ergibt. Dieser Ladungsverlust geschieht beispielsweise auf Grund von Traps bzw. Störstellen innerhalb des Tunneloxids 3, wobei ein Tunnelmechanismus durch diese Störstellen bzw. Traps unterstützt wird (trap assisted tunneling). Zur Vermeidung von derartigen Leckströmen bzw. zur Verbesserung der Ladungshalteeigenschaften werden üblicherweise die Schichtdicken für die Tunneloxidschicht 3 und/oder die dielektrische Schicht 5 erhöht, wodurch sich jedoch die elektrischen Eigenschaften der Speicherzelle verschlechtern und insbesondere die Betriebsspannungen zum Lesen, Schreiben und/oder Löschen der Speicherzelle angehoben werden müssen.

Der Erfindung liegt daher die Aufgabe zu Grunde eine nicht-flüchtige Zweittransistor-Halbleiterspeicherzelle sowie ein zugehöriges Herstellungsverfahren zu schaffen, welches verbesserte Ladungshalteeigenschaften aufweist.

Erfindungsgemäß wird diese Aufgabe hinsichtlich der Speicherzelle durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Verfahrens durch die Maßnahmen des Patentanspruchs 8 gelöst.

Insbesondere durch die unterschiedliche Beschaffenheit der Ladungsspeicherschicht im Speichertransistor und der Auswahltransistor-Steuerschicht im Auswahltransistor zur unabhängigen Optimierung der zugehörigen Schwellwertspannungen, kann ohne Verschlechterung der elektrischen Eigenschaften der Speicherzelle eine Verbesserung der Ladungshalteeigenschaften im Speichertransistor realisiert werden.

Vorzugsweise weisen die Auswahltransistor-Steuerschicht (4*) und die Ladungsspeicherschicht (4) ein unterschiedliches Material oder insbesondere bei gleichem Halbleitermaterial eine unterschiedliche Dotierung auf. Aus diese Weise kann im Speichertransistor gezielt eine Feldverringerung und damit eine Verbesserung der Ladungshaltung bewirkt werden, während der Auswahltransistor eine im Wesentlichen unveränderte Einsatzspannung bzw. Schwellwertspannung aufweist.

- 10 Vorzugsweise wird ein Halbleitersubstrat mit erhöhter Dotierung verwendet, wobei die Auswahltransistor-Steuerschicht und die Ladungsspeicherschicht ein Halbleitermaterial mit unterschiedlicher Dotierung aufweisen. Dadurch können die elektrischen Felder im Speichertransistor und damit ein auf (z.B. 15 durch Störstellen (traps) verursachtes) Tunneln basierender Leckstrom verringert werden, da dieser Tunnelstrom exponentiell abhängig vom elektrischen Feld ist. Andererseits wird die sich daraus ergebende Einsatzspannungsverschiebung durch eine Anpassung der Austrittsarbeiten in der Auswahltransistor-Steuerschicht durch eine entgegengesetzte Dotierung kompensiert, wodurch die absolute Schwellwertspannung des Auswahltransistors AT reduziert wird und damit der Lesestrom durch die gesamte Zelle erhöht wird. Dies wiederum erlaubt einfachere Auswerteschaltungen auf dem Chip.

- Alternativ zur Erhöhung der Dotierstoffkonzentration im Substrat kann auch lediglich oder zusätzlich das Kanalgebiet bzw. eine Oberfläche des Substrats stärker dotiert werden. Ferner kann alternativ zur gesamten Dotierung des Substrats 30 oder zur Oberflächendotierung auch eine erhöhte Wannendotierung zur Modifikation der Schwellwertspannung verwendet werden.

- Hinsichtlich des Verfahrens werden vorzugsweise sowohl für 35 den Auswahltransistor als auch den Speichertransistor eine erste Isolationsschicht, eine elektrisch leitende Halbleiter- schicht, eine zweite Isolationsschicht und eine weitere

elektrisch leitende Schicht ausgebildet und derart strukturiert, dass sich die beiden Transistoren mit dazwischen liegenden Source- und Draingebieten im Halbleitersubstrat ergeben. Lediglich für die elektrisch leitende Halbleiterschicht des Auswahltransistors ist hierbei eine entgegengesetzte Dotierung alternativ oder zusätzlich anzuwenden, um die Schwellwertspannung zu verringern. Auf diese Weise kann eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle mit verbesserten Ladungshalteeigenschaften besonders kostengünstig hergestellt werden.

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figur 1 eine vereinfachte Schnittansicht einer herkömmlichen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle;

Figur 2 eine vereinfachte Schnittansicht einer erfindungsgemäßen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle;

Figuren 3A bis 3D vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte der erfindungsgemäßen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle;

Figur 4a und 4B vereinfachte graphische Darstellungen zur Veranschaulichung einer Abhängigkeit der Schwellwertspannungen von der Zeit aufgrund von Ladungsverlusten; und

Figuren 5A bis 5C vereinfachte graphische Darstellungen zur Veranschaulichung der Auswirkungen einer Änderung der Aus-

trittsarbeit auf die Schwellwertspannungen im Auswahltransistor und Speichertransistor.

Figur 2 zeigt eine vereinfachte Schnittansicht einer nicht-flüchtigen Zweittransistor-Halbleiter-speicherzelle gemäß der vorliegenden Erfindung, wobei gleiche Bezugszeichen gleiche oder ähnliche Schichten bezeichnen wie in Figur 1.

Gemäß Figur 2 wird in einem Substrat 1, welches beispielsweise aus einem p-dotierten Silizium-Halbleitermaterial besteht, ein Auswahltransistor AT und ein Speichertransistor ST ausgebildet, welche über ein gemeinsames Source-/Draingegebiet 2 miteinander verbunden sind. Der Speichertransistor ST besitzt eine erste Speichertransistor-Isolationsschicht 3, die vorzugsweise eine Tunneloxidschicht TOX aufweist und ca. 10 nm dick ist. An der Oberfläche dieser ersten Speichertransistor-Isolationsschicht 3, die beispielsweise aus einer thermisch ausgebildeten SiO_2 -Schicht besteht befindet sich eine Ladungsspeicherschicht 4, die beispielsweise eine n^+ -dotierte Polysiliziumschicht aufweist. Darüber liegend ist eine zweite Speichertransistor-Isolationsschicht 5 angeordnet, die die Ladungsspeicherschicht 4 von einer darüber angeordneten Speichertransistor-Steuerschicht 6 isoliert. Die Speichertransistor-Steuerschicht 6 kann ebenfalls beispielsweise n^+ -dotiertes Polysilizium aufweisen und stellt im Wesentlichen eine Wortleitung der Speicherzelle dar. Die zweite Speichertransistor-Isolationsschicht 5 wird auch als Interpoly-Dielektrikum bezeichnet und kann beispielsweise eine ONO-Schichtenfolge (Oxid-Nitrid-Oxid) aufweisen.

Der Auswahltransistor AT besteht seinerseits aus einer an der Oberfläche des Substrats 1 bzw. zwischen den Source- und Draingegebieten 2 liegenden Kanalgebiets ersten Auswahltransistor-Isolationsschicht 3' und einer Auswahltransistor-Steuerschicht 4*. Die Auswahltransistor-Isolationsschicht 3' besteht vorzugsweise aus einer Gateoxidschicht GOX. Die Auswahltransistor-Steuerschicht 4* besteht ebenfalls aus einer

elektrisch leitenden Schicht und beispielsweise aus einer p⁺-dotierten Polysiliziumschicht.

Der wesentliche Unterschied der erfindungsgemäßen Speicherzelle ergibt sich nunmehr aus der modifizierten Dotierung des Substrates und der sich daraus ergebenden modifizierten natürlichen Einsatzspannungen in Kombination mit der Wahl unterschiedlicher Materialien bzw. unterschiedlicher Dotierungen fuer die Ladungsspeicherschicht 4 und die Auswahltransistor-Steuerschicht 4*. Auf Grund einer erhöhten Dotierung des Substrats 1 von p⁻ beispielsweise auf p oder p⁺ bei gleichbleibenden Dotierungen für die Ladungsspeicherschicht 4 und die Speichertransistor-Steuerschicht 6 erhält man eine erhöhte Schwellwertspannung des Speichertransistors ST. Wie später im Einzelnen beschrieben wird, ergibt sich durch diese Anpassung der Schwellwertspannung im Speichertransistor ST die Möglichkeit, die Ladungshalteeigenschaften zu optimieren. Andererseits erhält man im Auswahltransistor AT eine Verringerung der Schwellwertspannung durch eine zur Ladungsspeicherschicht 4 entgegengesetzte Dotierung. Genauer gesagt wird durch die p⁺-Dotierung der Auswahltransistor-Steuerschicht 4* die Erhöhung dessen Schwellwertspannung kompensiert, wodurch sich im Wesentlichen eine erniedrigte Schwellwertspannung im Auswahltransistor ergibt und somit eine nicht dargestellte Auswerteschaltung zum Auswerten der Speicherzelle einfacher verwirklicht werden kann.

Wesentlich für das vorliegende Konzept ist demnach, dass im Speichertransistor ST die Schwellwertspannung ueber die Substrat-, Wannen-, und/oder Kanaldotierung bzgl. Ladungshaltung optimiert werden kann und dass die sich dadurch fuer den Auswahltransistor ergebenden Nachteile durch eine der Ladungsspeicherschicht entgegengesetzten Dotierung kompensiert werden können. Dadurch können die für das Tunneln verantwortlichen elektrischen Felder im Speichertransistor verringert werden, wodurch sich eine verbesserte Ladungshalteeigenschaft ergibt, wobei hinsichtlich einer Außenbeschaltung die elekt-

rischen Eigenschaften der Zelle unverändert bleiben, da im Auswahltransistor AT diese Schwellwertverschiebung wieder kompensiert wird.

- 5 Obwohl vorstehend ein gleiches Material (Polysilizium) mit unterschiedlicher Beschaffenheit (Dotierung) verwendet wurde, erhält man den gleichen Effekt auch bei Einsatz von unterschiedlichen Materialien (unterschiedliche Metalle, Halbleiter usw.) für die Ladungsspeicherschicht 4 und die Auswahltransistor-Steuerschicht 4*.

- 10 Eine genaue Erläuterung der vorstehend beschriebenen Zusammenhänge erfolgt nachstehend, wobei jedoch zunächst ein mögliches Verfahren zur Herstellung einer derartigen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle beschrieben wird.

- 15 Figuren 3A bis 3D zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte der erfundungsgemäß nichtflüchtigen Zweittransistor-Halbleiter-speicherzelle, wobei gleiche Bezugszeichen gleiche oder ähnliche Schichten bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

- 20 Gemäß Figur 3A wird zunächst auf einem Substrat 1, welches beispielsweise ein Silizium-Halbleitersubstrat mit einer erhöhten p-Dotierung aufweist eine erste Isolationsschicht 3 sowohl in einem Auswahltransistor-Bereich als auch in einem Speichertransistor-Bereich ausgebildet. Diese erste Isolationsschicht 3 bzw. 3' besteht beispielsweise aus einem thermisch ausgebildeten Siliziumdioxid. Ein positiver Effekt einer ausreichend dicken ersten Isolationsschicht bzw. Gateoxidschicht 3' im Auswahltransistor-Bereich ist die Vermeidung einer Dotierstoff- beispielsweise Bor-Penetration in das Substrat 1, die sich aus einer nachfolgenden Dotierung ergeben kann.

Nachfolgend wird an der Oberfläche eine elektrisch leitende Halbleiterschicht 4 bzw. 4* (z.B. Polysiliziumschicht) ausgebildet, wobei diese Schicht beispielsweise durch eine Maske im Bereich des Speichertransistors ST eine zur Dotierung des Substrats 1 entgegengesetzte Dotierung wie z.B. eine n⁺-Dotierung aufweist. Demgegenüber kann beispielsweise durch eine Maskierung die elektrisch leitende Halbleiterschicht 4* mit einer zum Substrat 1 gleichen Dotierung vom ersten Leitungstyp dotiert werden, wie z.B. einer p⁺-Dotierung. Auf diese Weise werden bereits die vorstehend beschriebenen Einsatzspannungen bzw. Schwellwertspannungen in den verschiedenen Bereichen unterschiedlich eingestellt, wobei vorzugsweise eine Schwellwertspannung im Auswahltransistor-Bereich derart eingestellt ist, dass sich kein Unterschied zum Auswahltransistor einer herkömmlichen nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle ergibt, wodurch z.B. bereits existierende Auswerteschaltungen bzw. -konzepte problemlos übernommen werden können.

Alternativ kann jedoch auch eine überlagerte Dotierung stattfinden, wobei beispielsweise zunächst eine n-dotierte elektrisch leitende Schicht sowohl für den Auswahltransistor-Bereich als auch für den Speichertransistor-Bereich (beispielsweise insitu dötzt) abgeschieden wird und anschließend für den Auswahltransistor-Bereich eine Gegendotierung beispielsweise mit einer maskierten Implantation erfolgt. Grundsätzlich kann die erste ganzflächige Dotierung auch durch eine ganzflächige Implantierung oder eine sonstige Dotierung durchgeführt werden.

Die Herstellung der verschiedenen dotierten Polyschichten 4 und 4* erfolgt vorzugsweise mittels herkömmlicher Fototechnik und Implantation, wobei eine davon ganzflächig erfolgen kann und nur die zweite beispielsweise mittels Fototechnik maskiert wird. Somit erfolgt bei dieser Dotierung eine Überkompensation der ersten Dotierung. Für die p-Dotierung der elektrisch leitenden Halbleiterschicht 4* im Auswahltransistor-Bereich

wird üblicherweise Bor verwendet, während für die n-Dotierung im Speichertransistor-Bereich üblicherweise eine Phosphor- oder Arsen-Dotierung durchgeführt wird.

- 5 Gemäß Figur 3B wird in einem nachfolgenden Schritt eine zweite Isolationsschicht 5 an der Oberfläche der elektrisch leitenden Halbleiterschicht 4 bzw. 4* ausgebildet, wobei diese zumindest im Speichertransistor-Bereich ausgebildet werden muss. Diese zweite Isolationsschicht 5 wird üblicherweise als 10 Inter-Poly-Dielektrikum bezeichnet und kann beispielsweise eine ONO-Schichtenfolge aufweisen, wodurch sich besonders gute Isolationseigenschaften bei guter kapazativer Ankopplung realisieren lassen und insbesondere Leckströme zu einer nachfolgend ausgebildeten weiteren elektrisch leitenden Schicht 6 verhindert werden. Die weitere elektrisch leitende Schicht 6 besteht beispielsweise wiederum aus einer n⁺-dotierten Polysiliziumschicht, die mit einem herkömmlichen Verfahren abgeschieden oder aufgewachst wird.
- 15 Abschließend wird eine Maskenschicht 7 an der Oberfläche von zumindest der weiteren elektrisch leitenden Schicht 6 im Speichertransistor-Bereich ST und der elektrisch leitenden Halbleiterschicht im Auswahltransistor-Bereich AT ausgebildet und strukturiert, wobei beispielsweise eine herkömmliche Hartmaskenschicht verwendet werden kann.

Gemäß Figur 3C wird nunmehr unter Verwendung der strukturierten Maskenschicht 7 zunächst die weitere elektrisch leitende Schicht 6 teilweise entfernt, wodurch man zunächst die Wortleitungen der Speichertransistoren ST und darüber hinaus durch weiteres Entfernen der Schichten bis zur elektrisch leitenden Halbleiterschicht 4 bzw. 4* auch die Leitungen der Auswahlgates der Auswahltransistoren erhält. Zum Entfernen dieser Schichten 4 bzw. 4*, 5 und 6 kann ein jeweils verfügbares Standardätzverfahren verwendet werden, wobei insbesondere anisotrope Ätzverfahren in Betracht kommen, die selektiv

10

zur ersten Isolationsschicht 3, 3' und zur Maskenschicht 7 wirken.

Gemäß Figur 3D wird in einem abschließenden Herstellungs-
schritt eine selbstjustierende Implantation I zur Realisierung der Source-/Draingegebiete 2 durchgeführt, wobei zur Herstellung eines NMOS-Transistors eine n^+ -Dotierung beispielsweise mittels Phosphor oder Arsen erfolgt. Weitere Herstellungsschritte zu Fertigstellung der Zweittransistor-Halbleiterspeicherzelle werden nachfolgend nicht beschrieben, da sie allgemein bekannt sind.

Die für den Auswahltransistor AT nicht benötigten Schichten 5, 6 und 7 bleiben hierbei unbeschaltet oder können in einem nachfolgenden Verfahrensschritt entfernt werden. Auf diese Weise erhält man eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle mit verbesserten Ladungshalteeigenschaften, die auf besonders einfache Art und Weise hergestellt werden kann.

Zur Veranschaulichung der Wirkungsweise der erfindungsgemäßen Speicherzelle werden anhand von Figuren 4A und 4B die Einflüsse einer Schwellwertspannung im Speichertransistor auf die Ladungshalteeigenschaften beschrieben.

Figur 4A zeigt eine graphische Darstellung der in einer Speicherzelle maßgeblichen Schwellwertspannungen und ihre zeitliche Abhängigkeit, wenn die Speicherzelle (anomale) Ladungsverlusteffekte zeigt.

Gemäß Figur 4A ist mit $V_{th,uv}$ eine Einsatzspannung bzw. Schwellwertspannung des Speichertransistors ST in einem ungeladenen Zustand (z.B. nach einem UV-Löschen) dargestellt. Die Äste $V_{th,st}$ zeigen die Schwellwertspannung des Speichertransistors ST im geladenen Zustand bzw. den transienten Verlauf der Einsatzspannung bis hin zum sogenannten ungeladenen Zustand, bei dem sich in der ladungsspeichernden Schicht 4 kei-

nerlei Ladungen befinden. Diese Entladung ergibt sich im Wesentlichen durch z.B. störstellenunterstütztes Tunnellen (trap assisted tunneling) hervorgerufene Leckströme.

5 Mit $V_{th,A}$ ist eine Schwellwertspannung einer üblicherweise notwendigen Auswerteschaltung für die Speicherzelle dargestellt, die mehr oder weniger hoch bzw. fein sein kann. Grundsätzlich gilt jedoch, dass eine zugehörige Auswerteschaltung besonders einfach und kostengünstig hergestellt werden kann, je höher diese Spannung $V_{th,A}$ ist. Andererseits zeigt die Figur 4A, dass je höher diese Schwellwertspannung $V_{th,A}$ ist, um so früher ein Zeitpunkt t_{max} erreicht wird, zu dem ein abgespeichertes Bit nur noch fehlerhaft von der Auswerteschaltung erkannt wird.

10 15 Mit der vorliegenden Erfindung erfolgt nunmehr eine Anhebung der Einsatzspannung $V_{th,uv}$ des Speichertransistors ST im ungeladenen Zustand sowie seiner zugehörigen Entladekurven $V_{th,st}$ durch beispielsweise die vorstehend beschriebene Erhöhung einer Substratdotierung, einer Kanalgebietdotierung, und/oder einer Wannendotierung. Als Ergebnis dieser Anhebung der Einsatzspannung $V_{th,uv}$ erhält man die in Figur 4B dargestellte Idealkurve, wobei man eine verbesserte Ladungshalteeigenschaft erhält, da die Schwellwertspannung $V_{th,A}$ der Auswerteschaltung mit der Schwellwertspannung $V_{th,uv}$ des Speichertransistors zusammenfällt.

20 30 Figuren 5A bis 5C zeigen graphische Darstellungen zur weiteren Veranschaulichung der erfindungsgemäßen Schwellwertänderungen auf Grund der Änderungen der Substratdotierung bzw. der entgegengesetzten Gate-Dotierung des Auswahltransistors (unterschiedliche Beschaffenheit von Ladungsspeicherschicht und Auswahltransistor-Steuerschicht).

35 Figur 5A zeigt eine graphische Darstellung der Schwellwertspannungen V_{th} für einen Auswahltransistor AT und einen Speichertransistor ST, wobei sich auf Grund von Kopplungseffekten

der unterschiedlichen Isolationsschichten GOX und TOX sowie der Schicht 5 in den jeweiligen Bereichen bereits ein Unterschied der jeweiligen Schwellwertspannungen ergibt. Im Regel-
fall besitzt der im gleichen Substrat 1 ausgebildete Spei-
chertransistor ST einen höheren Schwellwert V_{th} als der zuge-
hörige Auswahltransistor AT.

Gemäß Figur 5B wird nunmehr die Wirkung der Erhöhung der Sub-
stratdotierung beschrieben, wobei durch die erhöhte Dotierung
im Substrat 1, durch eine erhöhte Wannendotierung und/oder
eine erhöhte Oberflächendotierung beide Schwellwertspannungen
gleichermaßen angehoben werden. Auf diese Weise erhält man
zwar bereits die in Figur 4B verbesserten Ladungshalteeigen-
schaften im Speichertransistor ST, jedoch sind die elektri-
schen Eigenschaften der Speicherzelle insbesondere auf Grund
der erhöhten Schwellwertspannungen im Auswahltransistor we-
sentlich verschlechtert.

Gemäß Figur 5C erfolgt demzufolge eine Korrektur der Schwell-
wertanhebung im Auswahltransistor AT, die im Wesentlichen
durch eine Erhöhung der Austrittsarbeit für Elektronen in der
Steuerschicht beispielsweise durch eine entgegengesetzte p-
Dotierung erfolgt. Durch diese Änderung der Austrittsarbeit
lediglich im Auswahltransistor AT wird demzufolge die
Schwellwertspannung V_{th} in diesem Bereich wieder zurückge-
drückt, wodurch man eine dem Ausgangszustand ähnliche
Schwellwertspannung und somit ähnlich gute elektrische Eigen-
schaften der Speicherzelle erhält. Auf diese Weise können die
Ladungshalteeigenschaften in einer Zweittransistor-Halblei-
terspeicherzelle ohne Beeinflussung der elektrischen Eigen-
schaften oder einer notwendigen Auswerteschaltung wesentlich
verbessert werden.

Die Erfindung wurde vorstehend anhand einer NMOS-Speicherzel-
le beschrieben. Sie ist jedoch nicht darauf beschränkt und
umfasst in gleicher Weise PMOS- oder eine Kombination von
PMOS- und NMOS-Zellen bzw. Transistoren. In gleicher Weise

ist die Erfindung nicht auf Silizium-Halbleitermaterialien beschränkt, sondern umfasst alle weiteren Halbleitermaterialien, mit denen gezielt eine Schwellwertspannung zur Verbesserung der Ladungshalteeigenschaften verändert werden kann.

- 5 In gleicher Weise kann für die Ladungsspeicherschicht, die Speichertransistor-Steuerschicht und die Auswahltransistor-Steuerschicht nicht nur ein Halbleitermaterial verwendet werden, sondern in gleicher Weise ein alternatives Material wie z.B. Metalle.

Patentansprüche

1. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle mit

5 einem Speichertransistor (ST) mit einer vorbestimmten Schwellwertspannung, der in einem Substrat (1) ein Source- und Draingegebiet (2) mit einem dazwischen liegenden Kanalgebiet aufweist, wobei an der Oberfläche des Kanalgebiets eine erste Speichertransistor-Isolationsschicht (3), eine Ladungsspeicherschicht (4), eine zweite Speichertransistor-Isolationsschicht (5) und eine Speichertransistor-Steuerschicht (6) ausgebildet ist; und

10 einem Auswahltransistor (AT) mit einer vorbestimmten Schwellwertspannung, der im Substrat (1) ein Source- und Draingegebiet (2) mit einem dazwischen liegenden Kanalgebiet aufweist, wobei an der Oberfläche des Kanalgebiets eine erste Auswahltransistor-Isolationsschicht (3') und eine Auswahltransistor-Steuerschicht (4*) ausgebildet ist,

15 dadurch gekennzeichnet, dass zur unabhängigen Optimierung der Schwellwertspannungen (V_{th}) des Speichertransistors (ST) und des Auswahltransistors (AT) die Auswahltransistor-Steuerschicht (4*) unterschiedlich zur Ladungsspeicherschicht (4) ausgebildet ist.

2. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach Patentanspruch 1,

20 dadurch gekennzeichnet, dass die Auswahltransistor-Steuerschicht (4*) und die Ladungsspeicherschicht (4) ein unterschiedliches Material und/oder eine unterschiedliche Dotierung aufweisen.

3. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach Patentanspruch 1 oder 2,

25 dadurch gekennzeichnet, dass das Substrat (1) ein Halbleitermaterial mit einer Dotierung vom ersten Leitungstyp (p),

die Auswahltransistor-Steuerschicht (4*) ein Halbleitermaterial mit einer Dotierung vom ersten Leitungstyp (p), und die Ladungsspeicherschicht (4) ein Halbleitermaterial mit einer zum ersten Leitungstyp entgegengesetzten Dotierung vom zweiten Leitungstyp (n) aufweist.

4. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 3,
dadurch gekennzeichnet, dass eine Erhöhung der Dotierstoffkonzentration vom ersten Leitungstyp (p)
im Substrat (1), den Kanalgebieten oder einem Wannengebiet erfolgt.

5. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 4,
dadurch gekennzeichnet, dass die erste Speichertransistor-Isolationsschicht (3) und die erste Auswahltransistor-Isolationsschicht (3') eine SiO₂-Schicht aufweisen.

6. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 5,
dadurch gekennzeichnet, dass die Ladungsspeicherschicht (4) und die Auswahltransistor-Steuerschicht (4*) eine Polysilizium-Schicht und/oder eine metallische Schicht aufweisen.

7. Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle nach einem der Patentansprüche 1 bis 6,
dadurch gekennzeichnet, dass der Speichertransistor (ST) und der Auswahltransistor (AT) einen NMOS- und/oder einen PMOS-Transistor darstellen.

8. Verfahren zur Herstellung einer nichtflüchtigen Zweittransistor-Halbleiterspeicherzelle mit den Schritten:
a) Ausbilden einer ersten Isolationsschicht (3, 3') für einen Auswahltransistor (AT) und einen Speichertransistor (ST)

auf einem Halbleitersubstrat (1), das eine Dotierung vom ersten Leitungstyp (p) aufweist;

b) Ausbilden einer Halbleiterschicht (4) an der Oberfläche der ersten Isolationsschicht (3, 3'), die in einem Bereich

5 des Auswahltransistors (AT) eine Dotierung vom ersten Leitungstyp (p) und in einem Bereich des Speichertransistors (ST) eine zum ersten Leitungstyp entgegengesetzte Dotierung vom zweiten Leitungstyp (n) aufweist;

10 c) Ausbilden einer zweiten Isolationsschicht (5) an der Oberfläche der elektrisch leitenden Halbleiterschicht (4) zu- mindest im Bereich des Speichertransistors (ST);

d) Ausbilden einer weiteren elektrisch leitenden Schicht (6) an der Oberfläche der zweiten Isolationsschicht (5) zu- mindest im Bereich des Speichertransistors (ST);

15 e) Ausbilden und Strukturieren einer Maskenschicht (7);

f) Ausbilden von Schichtstapeln im Bereich des Auswahltransistors (AT) und des Speichertransistors (ST) unter Verwen- dung der strukturierten Maskenschicht (7); und

20 g) Ausbilden von Source- und Draingegebieten (2) mit einer Dotierung vom zweiten Leitungstyp (n) unter Verwendung der Schichtstapel als Maske.

9. Verfahren nach Patentanspruch 8,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt

a) ein Halbleitersubstrat (1) mit erhöhter Grunddotierung, Wannendotierung und/oder Oberflächendotierung vom ersten Leitungstyp (p) verwendet wird.

10. Verfahren nach einem der Patentansprüche 8 oder 9,

30 d a d u r c h g e k e n n z e i c h n e t, dass in Schritt

a) im Bereich des Speichertransistors (ST) eine Tunneloxid- schicht (TOX) und im Bereich des Auswahltransistors (AT) eine Gateoxidschicht (GOX) ausgebildet wird.

35 11. Verfahren nach einem der Patentansprüche 9 bis 10,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
b) eine Polysilizium-Schicht abgeschieden wird und die unter-

schiedliche Dotierung im Bereich des Auswahltransistors (AT) und des Speichertransistors (ST) durch eine maskierte Implantation erfolgt.

5 12. Verfahren nach einem der Patentansprüche 9 bis 11, dadurch gekennzeichnet, dass in Schritt c) eine ONO-Schichtenfolge ausgebildet wird.

10 13. Verfahren nach einem der Patentansprüche 9 bis 12, dadurch gekennzeichnet, dass in Schritt d) eine weitere Polysilizium-Schicht abgeschieden wird, die eine Dotierung vom zweiten Leitungstyp (n) aufweist.

14. Verfahren nach einem der Patentansprüche 9 bis 13, 15. dadurch gekennzeichnet, dass in Schritt e) eine Hartmaskenschicht ausgebildet wird.

15. Verfahren nach einem der Patentansprüche 9 bis 14, dadurch gekennzeichnet, dass in Schritt 20 f) ein anisotropes Ätzverfahren durchgeführt wird.

16. Verfahren nach einem der Patentansprüche 9 bis 15, dadurch gekennzeichnet, dass in Schritt g) eine Ionenimplantation (I) durchgeführt wird.

Zusammenfassung

Nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie zugehöriges Herstellungsverfahren

5

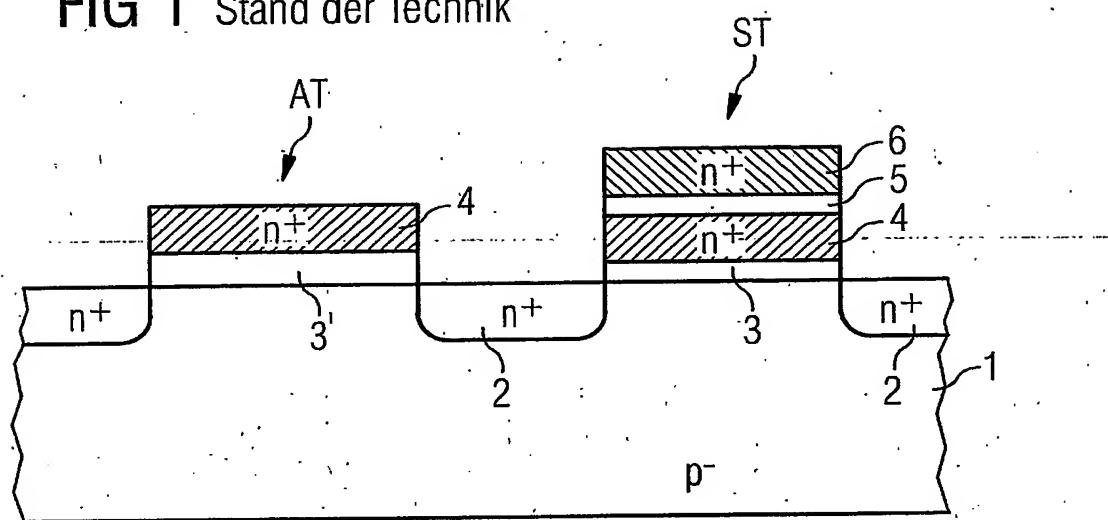
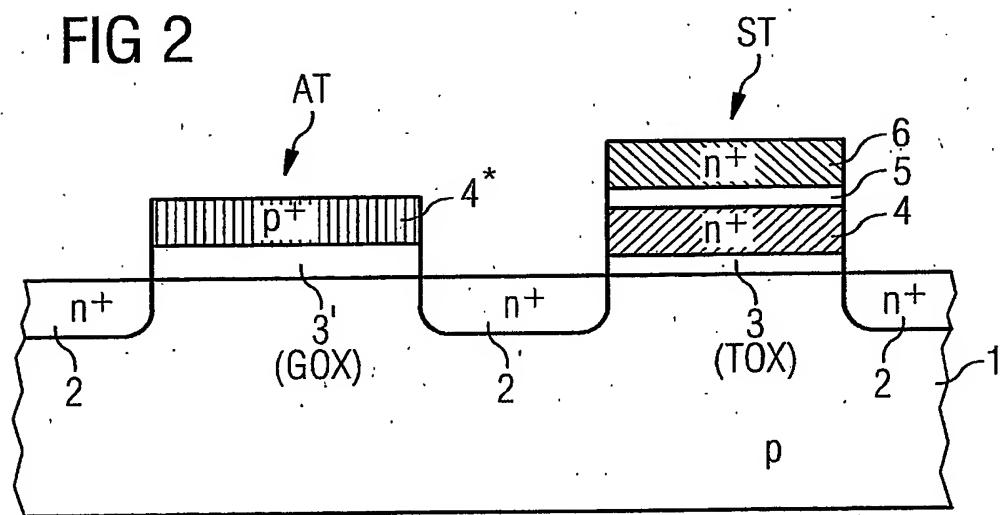
Die Erfindung betrifft eine nichtflüchtige Zweittransistor-Halbleiterspeicherzelle sowie ein zugehöriges Herstellungsverfahren, wobei in einem Substrat (1) Source- und Draingebiete (2) für einen Auswahltransistor (AT) und einen Speichertransistor (ST) ausgebildet sind. Der Speichertransistor (ST) weist eine erste Isolationsschicht (3), eine Ladungsspeicherschicht (4), eine zweite Isolationsschicht (5) und eine Speichertransistor-Steuerschicht (6) auf, während der Auswahltransistor (AT) eine erste Isolationsschicht (3') und 15 eine Auswahltransistor-Steuerschicht (4*) besitzt. Durch die Verwendung unterschiedlicher Materialien für die Ladungsspeicherschicht (4) und die Auswahltransistor-Steuerschicht (4*) lassen sich die Ladungshalteeigenschaften der Speicherzelle durch Anpassung der Substratdotierung bei gleich bleibenden 20 elektrischen Eigenschaften wesentlich verbessern.

Figur 2

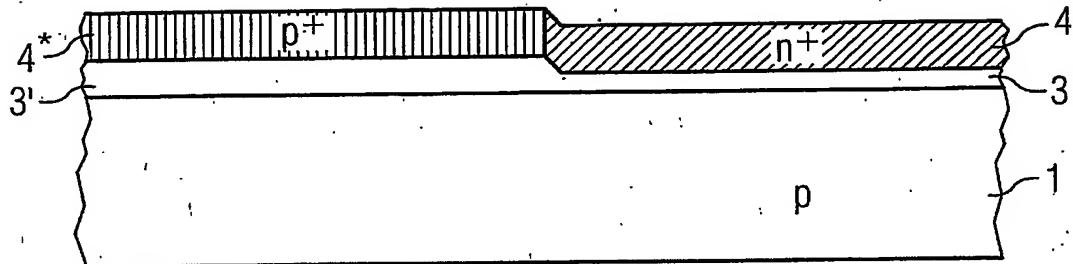
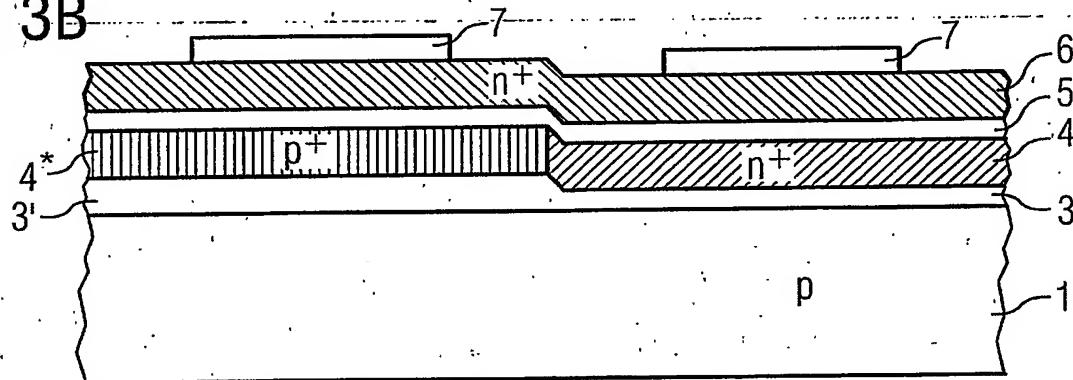
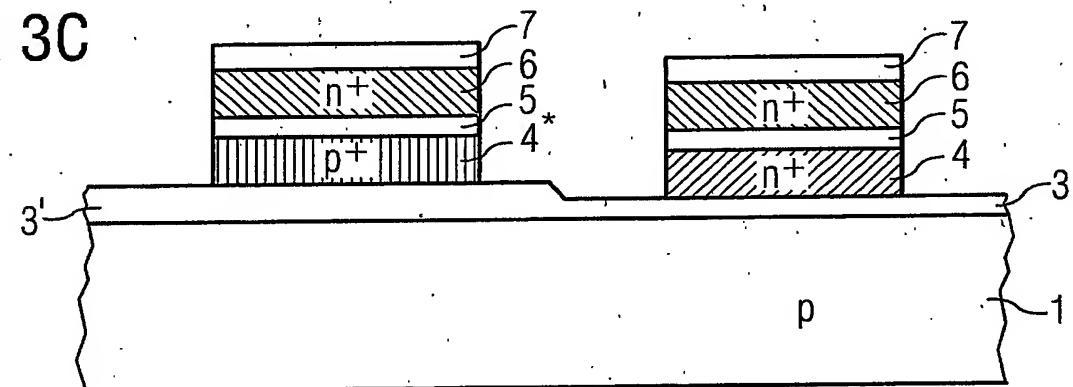
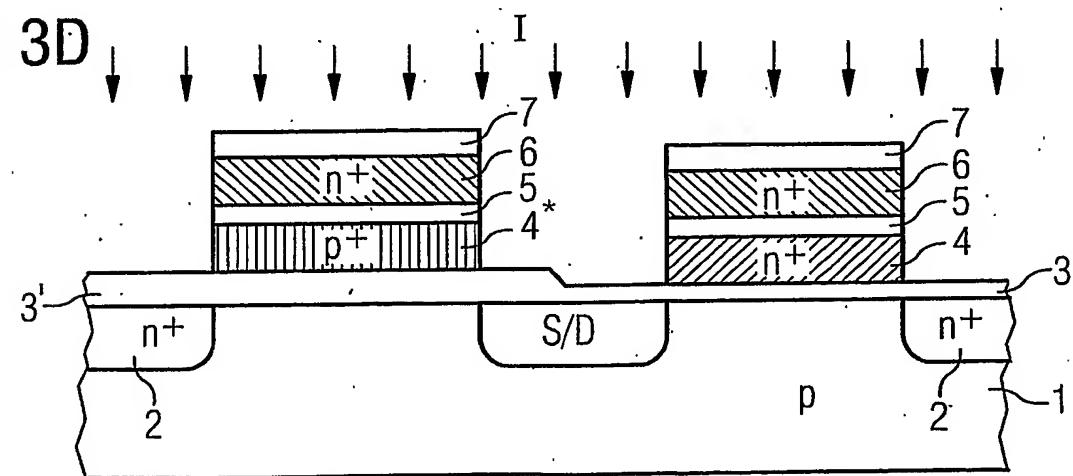
Bezugszeichenliste

- 1 Substrat
- 2 Source-/Draingegebiete
- 5 3, 3' erste Isolationsschicht
- 4 Ladungsspeicherschicht
- 4* Auswahltransistor-Steuerschicht
- 5 zweite Isolationsschicht
- 6 Speichertransistor-Steuerschicht
- 10 7 Maskenschicht
- AT Auswahltransistor
- ST Speichertransistor
- $V_{th,A}$ Schwellwertspannung der Auswerteschaltung
- $V_{th,uv}$ Schwellwertspannung des Speichertransistors im ungeladenen Zustand
- 15 $V_{th,ST}$ Schwellwertspannung des Speichertransistors im geladenen Zustand

1/4

FIG 1 Stand der Technik**FIG 2**

2/4

FIG 3A**FIG 3B****FIG 3C****FIG 3D**

3/4

FIG 4A

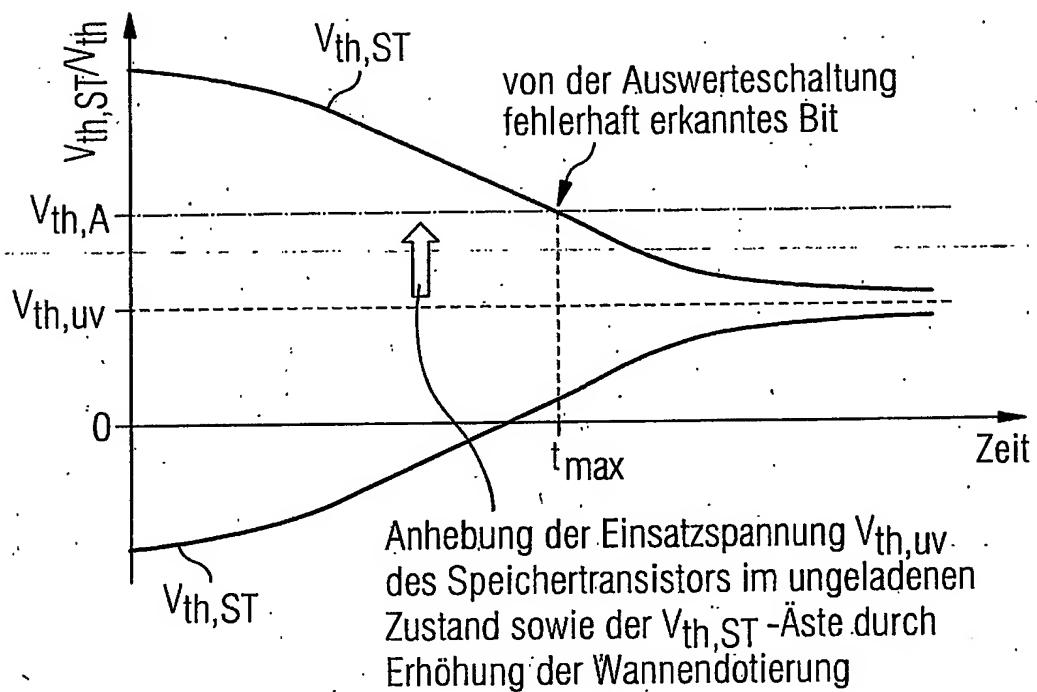
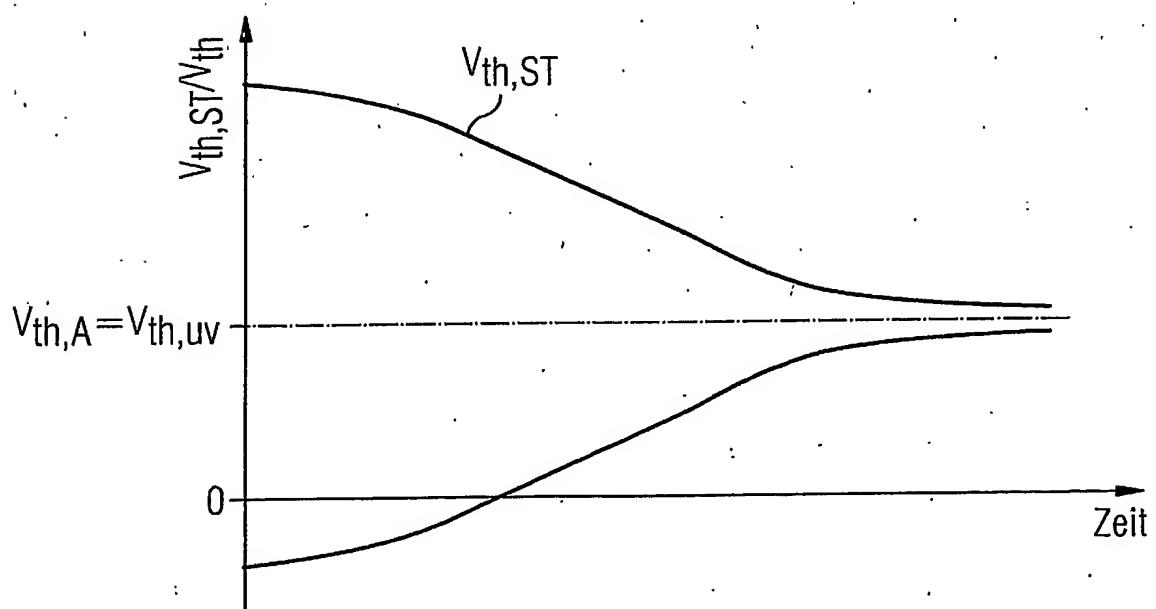
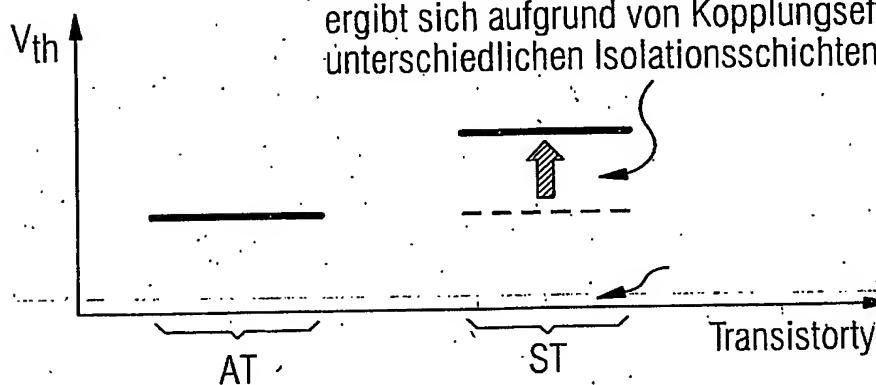


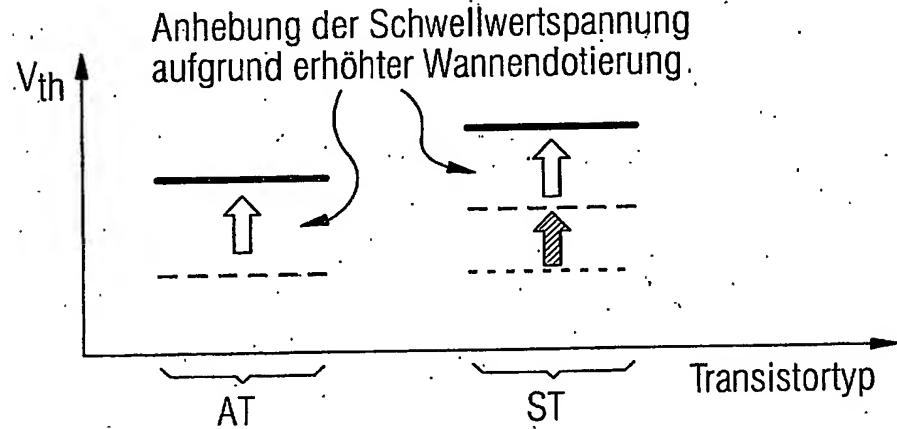
FIG 4B



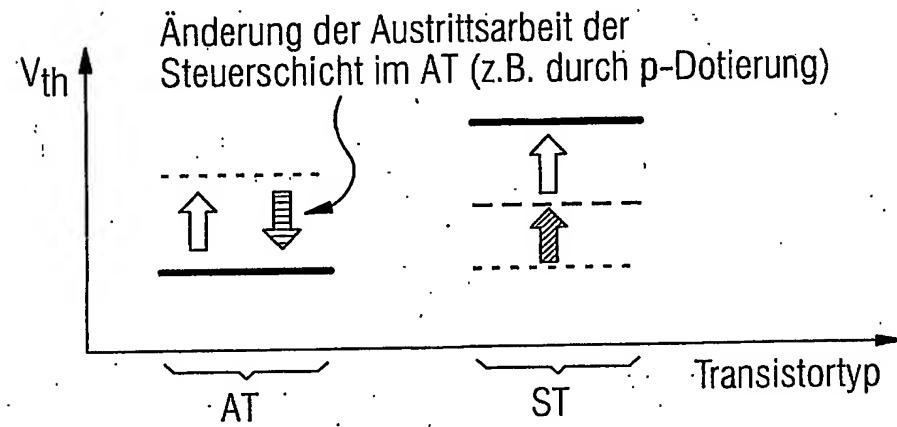
4/4

FIG 5A

Unterschied der Schwellwertspannung ergibt sich aufgrund von Kopplungseffekten der unterschiedlichen Isolationsschichten (G_{ox} , Tox)

FIG 5B

Anhebung der Schwellwertspannung aufgrund erhöhter Wannendotierung

FIG 5C

Änderung der Austrittsarbeit der Steuerschicht im AT (z.B. durch p-Dotierung)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.